

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0061047  
Application Number PATENT-2002-0061047

출원년월일 : 2002년 10월 07일  
Date of Application OCT 07, 2002

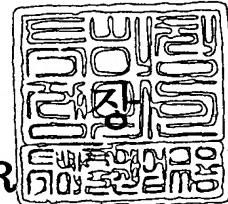
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002년 12월 18일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0026
【제출일자】	2002.10.07
【국제특허분류】	G11B
【발명의 명칭】	광디스크 시스템에서의 워드 단위 스크램블링/디스크램블링 장치 및 그 방법
【발명의 영문명칭】	Word-wide scrambling/descrambling apparatus in optical disc system and Method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김대웅
【성명의 영문표기】	KIM,Dae Woong
【주민등록번호】	730316-1000811
【우편번호】	143-210
【주소】	서울특별시 광진구 광장동 528-39
【국적】	KR
【발명자】	
【성명의 국문표기】	이수웅
【성명의 영문표기】	LEE,Soo Woong
【주민등록번호】	690712-1037318
【우편번호】	463-020

【주소】 경기도 성남시 분당구 수내동 양지마을청구아파트 213동  
1502

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 493,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

광디스크 시스템에서의 워드 단위 스크램블링/디스크램블링 장치 및 그 방법이 개시된다. 본 발명의 스크램블링/디스크램블링 장치는 소정의 초기값으로 초기화되고, 소정의 병렬 연산을 통하여 16비트 단위로 스크램블링 워드를 발생하는 쉬프트 레지스터와 스크램블 데이터 또는 디스크램블 데이터를 스크램블링 워드와 대응하는 비트별로 배타적 논리합(exclusive OR)하는 배타적 논리합 수단을 구비한다. 쉬프트 레지스터는 제7 및 제15 비트, 제1, 제8 및 제12 비트, 제2, 제9 및 제13 비트, 제3, 제10 및 제14 비트, 제4, 제11 및 제15 비트, 제1 비트와 제5 비트, 제2 비트와 제6 비트, 제3 비트와 제7 비트, 제4 비트와 제8 비트, 제5 비트와 제9 비트, 제6 비트와 제10 비트, 제7 비트와 제11 비트, 제8 비트와 제12 비트, 제9 비트와 제13 비트, 그리고, 제10 비트와 제14 비트를 각각 배타적 논리합하여, 제1 내지 제15 비트에 각각 채입력한다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

광디스크 시스템에서의 워드 단위 스크램블링/디스크램블링 장치 및 그 방법  
{Word-wide scrambling/descrambling apparatus in optical disc system and Method  
there-of}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 광 디스크 재생 장치를 개략적으로 나타내는 블록도이다.

도 2는 DVD 규격에 따른 스크램블링 바이트를 발생하기 위한 선형 쉬프트 피드백 레지스터(LFSR)를 나타내는 도면이다.

도 3은 도 2에 도시된 LFSR의 초기 설정값 및 이에 따른 초기값을 나타내는 테이블이다.

도 4는 도 2에 도시된 LFSR이 8번의 연산 및 쉬프트를 수행한 후의 결과값을 나타내는 테이블이다.

도 5는 본 발명의 일 실시예에 따른 스크램블링/디스크램블링 장치를 개략적으로 나타내는 블록도이다.

도 6은 도 5에 도시된 LFSR을 상세하게 도시하는 회로도이다.

도 7은 도 6에 도시된 LFSR에서 한 클럭 사이클동안 수행한 연산 결과를 보여주는 테이블이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 광 디스크 시스템에 관한 것으로서, 특히, DVD(Digital Versatile Disc 또는 Digital Video Disc) 시스템의 디지털 신호 처리 집적회로 내에서 DVD 데이터를 스크램블링(scrambling)/디스크램블링(de-scrambling)하는 장치 및 방법에 관한 것이다.

<10> 광 디스크 시스템은 CD(compact disc), DVD와 같은 광 디스크 내에 데이터를 기록하고, 기록된 데이터를 재생하는 장치이다. 광 디스크 재생 장치의 재생 원리는 픽업 소자가 광 디스크 상의 트랙을 따라서 레이저빔을 조사하고 반사광의 강약 변화에 의하여 피트의 유무를 검출하고, 그 검출 결과에 따라서 기억된 디지털 데이터를 재생하는 것이다. 이러한 광 디스크 재생 장치의 일례가 도 1에 도시된다.

<11> 도 1은 일반적인 광 디스크 재생 장치를 개략적으로 나타내는 블록도이다.

<12> 도 1과 같이, 광 디스크 재생 장치는 서보부(110), RF부(120), DSP(digital signal processor)(130), 메모리(140) 및 MPEG부(150)를 구비한다.

<13> RF부(120)는 광 디스크(170)로부터의 반사광을 전기적 신호로 변환하여 데이터 신호 및 각종 에러 신호들을 출력한다. 서보부(110)는 RF부(120)로부터 출력되는 데이터 신호 및 에러 신호들을 디지털 신호로 변환하고, 에러 신호들에 응답하여 광 디스크를 제어한다.

<14> DSP부(130)는 RF부(120)에서 슬라이싱(slicing)을 통하여 디지털 신호로 변환된 신호를 수신하여 EFM 복조, 에러 정정, 디스크램블링 등의 여러 신호 처리를 수행한다. 이

때, 각 신호 처리 과정에서 발생되는 데이터는 메모리(140)에 일시적으로 저장된다. 즉, EFM 복조기(131)에 의해 복조된 데이터가 메모리(140)에 저장되면, 에러정정 블락(132)은 메모리(140)로부터 EFM 복조된 데이터를 가져와서 에러 정정을 수행한다. 에러정정된 데이터는 다시 메모리(140)에 저장되고, 이 데이터는 디스크램블러(133)에 의해 디스크램블된다.

- <15> 디지털 신호 처리 과정을 거친 데이터는 MPEG부(150)에서 MPEG 디코딩된다. MPEG 디코딩된 데이터는 디스플레이 장치 및 스피커(160)로 출력된다.
- <16> 한편, 재생 전용 디스크에 대한 DVD 규정에서, DVD에 기록하기 위한 데이터를 다음과 같이 스크램블하도록 규정하고 있다.
- <17> 먼저, 도 2에 도시된 바와 같이, 스크램블링 바이트를 발생한다. 스크램블링 바이트를 발생하기 위해 일반적으로 선형 피드백 쉬프트 레지스터(Linear Feedback Shift Register, 이하 LFSR이라 함)가 사용된다. LFSR은 15비트로 구성되는 쉬프트 레지스터로서, 도 3에 나타난 바와 같이, 초기 설정값에 따라 소정의 초기값으로 설정된다. 예를 들어, 초기 설정값이 '0H'인 경우에는 LFSR(200)은 '0001H'로, 초기 설정값이 '1H'인 경우에는 LFSR(200)은 '5500H'로 초기화된다. LFSR(200)의 초기값을 결정하는 초기 설정값은 섹터(sector) 단위로 순차적으로 변경되는 것이 일반적이다. 도 2에 되시된 LFSR(200)의 15비트를 중 하위 8비트(R1~R8)가 스크램블링 바이트로 사용된다.
- <18> 도 2에 도시된 LFSR(200)은 제11 비트(R11)와 제15 비트(R15)를 배타적 논리합하여 제1 비트(R1)에 입력시킨다. 그 다음, 각 비트(R1~R15)는 한 비트씩 쉬프트된다. 그리고, 상기 배타적 논리합과 쉬프트 과정이 반복된다. 8번의 배타적 논리합 및 쉬프트가 이루어진 후의 LFSR의 제1 내지 제15 비트의 결과값(LFSR(n+1))은 도 4와 같다. 도 4에

도시된 LFSR의 제1 내지 제15 비트(R1~R15) 중 하위 8비트(R1~R8)가 스크램블링 바이트로 사용되는 것이다.

<19> 스크램블링은, 다음의 수학식 1과 같이, 데이터를 스크램블링 바이트와 배타적 논리합(exclusive OR)함으로써 이루어진다.

<20> 【수학식 1】  $SD = UD \oplus SB$

<21> 여기서, UD는 스크램블되기 전의 데이터이고, SB는 스크램블링 바이트이고 SD는 스크램블링된 데이터이다. 그리고,  $\oplus$ 는 배타적 논리합을 나타낸다.

<22> 스크램블링된 데이터를 다시 원래의 데이터로 복원하기 위해서는 디스크램블을 해야 한다.

<23> 디스크램블링은 수학식 2에 나타나듯이 스크램블링된 데이터에 스크램블링 바이트를 다시 배타적 논리합함으로써 얻어진다.

<24> 【수학식 2】  $UD = SD \oplus SB$

<25> 종래에는 스크램블링 바이트를 구하기 위하여 비트 단위의 연산을 한다. 즉, 한 클럭 싸이클당 한 비트씩 연산함으로써, 한 바이트의 스크램블링 바이트를 얻는데 8 클럭 싸이클이 소요된다.

<26> 그런데, DVD 시스템에 현재 사용되는 메모리는 X16으로 동작하는 동기식 디램 장치가 많다. X16으로 동작한다는 것은 동시에 입출력되는 비트의 수가 16이라는 의미이다. 따라서, 스크램블된 데이터를 메모리로부터 동시에 16비트를 읽어들일 수 있으므로, 스크램블링 바이트 역시 한 클럭 싸이클당 16비트로 발생하면 스크램블링/디스크램블링 처리 속도가 향상될 것이다.

**【발명이 이루고자 하는 기술적 과제】**

<27> 따라서 본 발명이 이루고자 하는 기술적 과제는 DVD 시스템에서 스크램블링/디스크램블링 처리 속도를 향상시키는 스크램블링 워드 발생기 및 스크램블링/디스크램블링 장치를 제공하는 것이다.

<28> 본 발명이 이루고자 하는 기술적 과제는 DVD 시스템에서 스크램블링/디스크램블링 처리 속도를 향상시키는 스크램블링/디스크램블링 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<29> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 광 디스크 시스템의 스크램블링/디스크램블링 장치는 소정의 초기값으로 초기화되고, 소정의 병렬 연산을 통하여 16비트 단위로 스크램블링 워드를 발생하는 쉬프트 레지스터; 및 스크램블 데이터 또는 디스크램블 데이터를 상기 스크램블링 워드와 대응하는 비트별로 배타적 논리합(exclusive OR)하는 배타적 논리합 수단을 구비한다. 바람직하기로는, 상기 쉬프트 레지스터는 15비트 쉬프트 레지스터이다.

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 스크램블링 워드를 발생기는 광 디스크 시스템에서 데이터를 스크램블/디스크램블하는데 사용되는 스크램블링 워드를 발생하는 장치로서, 적어도 15 비트를 저장할 수 있는 비트 저장 수단; 및 한 클럭 사이클 동안 상기 비트 저장 수단의 제1 내지 제15 비트들을 병렬로 연산하여 상기 비트 저장 수단에 새 입력하는 연산수단을 구비하며, 상기 연산 수단은 상기 비트 저장 수단의 상기 제7 및 제15 비트를 배타적 논리합하고, 제1, 제8 및 제12 비트를 배타적 논리합하고, 제2, 제9 및 제13 비트를 배타적 논리합하고, 제3, 제10 및 제14 비트를 배

타적 논리합하고, 제4, 제11 및 제15 비트를 배타적 논리합하고, 제1 비트와 제5 비트를 배타적 논리합하고, 제2 비트와 제6 비트를 배타적 논리합하고, 제3 비트와 제7 비트를 배타적 논리합하고, 제4 비트와 제8 비트를 배타적 논리합하고, 제5 비트와 제9 비트를 배타적 논리합하고, 제6 비트와 제10 비트를 배타적 논리합하고, 제7 비트와 제11 비트를 배타적 논리합하고, 제8 비트와 제12 비트를 배타적 논리합하고, 제9 비트와 제13 비트를 배타적 논리합하고, 그리고, 제10 비트와 제14 비트를 배타적 논리합하여, 상기 비트를 저장 수단의 상기 제1 내지 제15 비트에 각각 입력한다.

<31> 상기 기술적 과제를 달성하기 위한 본 발명의 광 디스크 시스템의 스크램블링/디스크램블링 방법은 (a) 소정의 스크램블링 워드를 발생하는 단계; 및 (b) 스크램블 데이터 또는 디스크램블 데이터를 상기 스크램블링 워드와 배타적 논리합(exclusive OR)하는 단계를 구비하며, 상기 스크램블링 워드는 16비트로 구성되며, 쉬프트 레지스터를 이용한 병렬 연산을 통해 발생되는 것을 특징으로 한다.

<32> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<34> 도 5는 본 발명의 일 실시예에 따른 스크램블링/디스크램블링 장치를 개략적으로 나타내는 블록도이다.

<35> 도 5에 도시된 바와 같이 스크램블링/디스크램블링 장치는 LFSR(500)을 포함한다. 디스크램블링의 경우에는 LFSR(500)에서 발생되는 스크램블링 워드(SW)를 스크램블된 데이터(SD)와 대응하는 비트별로 배타적 논리합함으로써, 디스크램블된 데이터(UD)를 출력한다. 스크램블링의 경우에는 스크램블되기 전의 데이터(UD)와 LFSR(500)에서 발생되는 스크램블링 워드(SW)를 대응하는 비트별로 배타적 논리합함으로써 스크램블된 데이터(SD)를 출력한다.

<36> 도 6은 도 5에 도시된 LFSR(500)을 상세하게 도시하는 회로도이다.

<37> 도 6에 도시된 바와 같이, LFSR(500)은 15비트로 구성된다. LFSR(500)은 도 2에 도시된 표에 따라 초기 설정값에 대응하는 초기값으로 초기화된다. LFSR(500)은 한 클럭 사이클 동안에 다음과 같은 연산을 수행한다.

<38> LFSR(500)은 제1 비트(R1)와 제5 비트(R5)를 배타적 논리합하여 제6 비트(R6)에 저장한다. 동시에, 제2 비트(R2)와 제6 비트(R6)를, 제3 비트(R3)와 제7 비트(R7)를, 제4 비트(R4)와 제8 비트(R8)를, 제5 비트(R5)와 제9 비트(R9)를, 제6 비트(R6)와 제10 비트(R10)를, 제7 비트(R7)와 제11 비트(R11)를, 제8 비트(R8)와 제12 비트(R12)를, 제9 비트(R9)와 제13 비트(R13)를, 그리고, 제10 비트(R10)와 제14 비트(R14)를 각각 배타적 논리합하여, 제7, 8, 9, 10, 11, 12, 13, 14 및 15비트(R7~R15)에 각각 저장한다.

<39> 또한 동시에, 제7 및 제15 비트(R7, R15)를 배타적 논리합하고, 제1, 제8 및 제12 비트(R1, R8, R12)를 배타적 논리합하고, 제2, 제9 및 제13 비트(R2, R9, R13)를 배타적 논리합하고, 제3, 제10 및 제14 비트(R3, R10, R14)를 배타적 논리합하고, 제4, 제11 및 제15 비트(R4, R11, R15)를 배타적 논리합하여, 각각 제1, 2, 3, 4 및 5 비트(R1~R5)에 입력한다.

<40> 상기 과정을 통해 입력된 제1 내지 제15 비트들 중 제1 내지 제8 비트(R1~R8)는 스크램블링 워드(SW) 중 상위 스크램블링 바이트(USB)가 된다.

<41> 상기와 같이, 다음 클럭 사이클( $n+1$ )의 제1 내지 제15 비트(R1~R8)를 계산함과 동시에, LFSR(500)은 하위 스크램블링 바이트 LSB)를 출력한다. 즉, LFSR은 이전 사이클( $n$ )의 제4 비트(R4)와 제8 비트(R8)를, 제5 비트(R5)와 제9 비트(R9)를, 제6 비트(R6)와 제10 비트(R10)를, 제7 비트(R7)와 제11 비트(R11)를, 제8 비트(R8)와 제12 비트(R12)를, 제9 비트(R9)와 제13 비트(R13)를, 제10 비트(R10)와 제14 비트(R14)를, 그리고, 제11 비트(R11)와 제15 비트(R15)를 각각 배타적 논리합한 값을 하위 스크램블링 바이트의 제1 내지 제8 비트(LSB1~LSB8)로써 출력한다.

<42> 상술한 바와 같이, 본 발명에서는, 16비트의 스크램블링 바이트를 한 클럭 사이클 동안 병렬로 계산하여 출력한다. 따라서, 한 바이트(8비트)의 스크램블링 바이트를 계산하고, 이를 바탕으로 다음 한 바이트의 스크램블링 바이트를 계산하는 종래 기술에 비하여 스크램블링/디스크램블 처리에 소요되는 시간이 줄어든다. 즉, 종래 기술에서는 한 바이트 단위로 스크램블링 바이트가 발생되므로, 데이터 역시 바이트 단위로 스크램블링 /디스크램블 될 수 밖에 없다. 반면, 본 발명에서는, 두 바이트(즉, 워드) 단위로 스크램블링 워드가 발생되므로, 데이터 역시 워드 단위로 스크램블링/디스크램블 될 수 있다.

<43> 도 7은 도 6에 도시된 LFSR(500)에서 한 클럭 사이클 동안 수행한 연산 결과를 보여주는 테이블이다. LFSR(500)의 연산 결과, 다음 클럭 사이클의 LFSR의 제1 내지 제15 비트(LFSR( $n+1$ ))), 8비트의 상위 스크램블링 바이트(USB) 및 8비트의 하위 스크램블링 바이트(LSB)가 얻어진다.

<44> 도 6에 도시된 LFSR의 연산 수행 결과, 현재 클럭 사이클의 LFSR의 제1 내지 제15 비트(LFSR(n))로부터, 다음 클럭 사이클의 LFSR의 제1 내지 제15 비트(LFSR(n+1))가 도 7과 같이 얻어진다. 이들 중 다음 클럭 사이클의 LFSR의 제1 내지 제8 비트는 8비트의 상위 스크램블링 바이트(USB)가 된다. 이와 동시에, 현재 클럭 사이클의 LFSR의 제1 내지 제15 비트(LFSR(n))를 이용하여 8비트의 하위 스크램블링 바이트도 도 7과 같이 얻어진다.

<45> 상위 스크램블링 바이트(USB) 및 하위 스크램블링 바이트(LSB)로 이루어지는 스크램블링 워드(SW)를 16 비트의 스크램블된 데이터와 비트별로 배타적 논리합함으로써 디스크램블된 데이터가 얻어진다.

<46> 메모리를 억세스하기 위해서는 로우 어드레스의 인가, 칼럼 어드레스의 인가 및 어드레스에 대응하는 메모리셀로부터 데이터 독출 등의 일련의 과정이 필요한데, 일반적으로 4 클럭 사이클 정도가 소요된다. 메모리 억세스에 4 클럭 사이클이 소요된다고 가정할 때, 본 발명에 의하면, 16 비트의 데이터 억세스에 4 클럭 사이클이 소요된다고 할 수 있다. DVD의 데이터 포맷은 섹터(sector) 단위로 이루어지는데, 한 섹터는 2048바이트로 구성된다. 따라서, 본 발명에 의하면, 한 섹터의 데이터를 디스크램블링하기 위해 메모리를 억세스하는데,  $2048 * 2$  클럭 사이클이 소요된다.

<47> 반면, 본 발명의 워드 단위 디스크램블링과 달리 바이트 단위로 디스크램블링를 하는 시스템이 있다고 가정하자. 그러면, 본 발명과 동일한 조건에서, 한 섹터의 데이터를 디스크램블링하기 위해 메모리를 억세스하는데,  $2048 * 4$  클럭 사이클이 필요하다. 즉, 본 발명에 비해 두 배 정도 더 시간이 소요된다.

<48> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<49> 본 발명에 의하면, 광 디스크 시스템에서 데이터를 스크램블링/디스크램블링하는데 사용되는 스크램블링 바이트를 한 클럭 사이클 동안에 2바이트씩 병렬로 연산한다. 따라서, 광 디스크 시스템에서 데이터를 스크램블링/디스크램블링하는데 걸리는 시간이 감소되어 광 디스크 시스템의 동작 속도 개선에 효과가 있다.

**【특허청구범위】****【청구항 1】**

소정의 초기값으로 초기화되고, 소정의 병렬 연산을 통하여 16비트 단위로 스크램블링 워드를 발생하는 쉬프트 레지스터; 및  
스크램블 데이터 또는 디스크램블 데이터를 상기 스크램블링 워드와 대응하는 비트  
별로 배타적 논리합(exclusive OR)하는 배타적 논리합 수단을 구비하는 것을 특징으로  
하는 광 디스크 시스템의 스크램블링/디스크램블링 장치.

**【청구항 2】**

제 1 항에 있어서, 상기 쉬프트 레지스터는  
15비트 쉬프트 레지스터인 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디  
스크램블링 장치.

**【청구항 3】**

제 2 항에 있어서, 상기 쉬프트 레지스터는  
상기 쉬프트 레지스터의 제7 및 제15 비트를 배타적 논리합하고, 제1, 제8 및 제12  
비트를 배타적 논리합하고, 제2, 제9 및 제13 비트를 배타적 논리합하고, 제3, 제10 및  
제14 비트를 배타적 논리합하고, 제4, 제11 및 제15 비트를 배타적 논리합하고, 제1 비  
트와 제5 비트를 배타적 논리합하고, 제2 비트와 제6 비트를 배타적 논리합하고, 제3 비  
트와 제7 비트를 배타적 논리합하고, 제4 비트와 제8 비트를 배타적 논리합하고, 제5 비  
트와 제9 비트를 배타적 논리합하고, 제6 비트와 제10 비트를 배타적 논리합하고, 제7  
비트와 제11 비트를 배타적 논리합하고, 제8 비트와 제12 비트를 배타적 논리합하고, 제

9 비트와 제13 비트를 배타적 논리합하고, 그리고, 제10 비트와 제14 비트를 배타적 논리합하여, 상기 제1 내지 제15 비트에 각각 입력하는 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 장치.

#### 【청구항 4】

제 3 항에 있어서,

상기 스크램블링 워드의 상위 8비트들은 상기 쉬프터 레지스터의 상기 제1 내지 제8 비트이며,

상기 스크램블링 워드의 하위 8비트는 각각 상기 제4 비트와 상기 제8 비트의 상기 배타적 논리합, 상기 제5 비트와 상기 제9 비트의 상기 배타적 논리합, 상기 제6 비트와 상기 제10 비트의 상기 배타적 논리합, 상기 제7 비트와 상기 제11 비트의 상기 배타적 논리합, 상기 제8 비트와 상기 제12 비트의 상기 배타적 논리합, 상기 제9 비트와 상기 제13 비트의 상기 배타적 논리합, 상기 제10 비트와 상기 제14 비트의 상기 배타적 논리합, 그리고, 상기 제11 비트와 상기 제15 비트의 배타적 논리합한 결과인 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 장치.

#### 【청구항 5】

제 1 항에 있어서, 상기 스크램블 데이터 또는 디스크램블 데이터는 상기 광 디스크 시스템 내의 메모리로부터 16비트 단위로 병렬로 독출되는 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 장치.

**【청구항 6】**

광 디스크 시스템에서 데이터를 스크램블/디스크램블하는데 사용되는 스크램블링 워드를 발생하는 장치에 있어서,

적어도 15 비트를 저장할 수 있는 비트 저장 수단; 및

한 클럭 사이클 동안 상기 비트 저장 수단의 제1 내지 제15 비트들을 병렬로 연산하여 상기 비트 저장 수단에 재 입력하는 연산수단을 구비하며,

상기 연산 수단은

상기 비트 저장 수단의 상기 제7 및 제15 비트를 배타적 논리합하고, 제1, 제8 및 제12 비트를 배타적 논리합하고, 제2, 제9 및 제13 비트를 배타적 논리합하고, 제3, 제10 및 제14 비트를 배타적 논리합하고, 제4, 제11 및 제15 비트를 배타적 논리합하고, 제1 비트와 제5 비트를 배타적 논리합하고, 제2 비트와 제6 비트를 배타적 논리합하고, 제3 비트와 제7 비트를 배타적 논리합하고, 제4 비트와 제8 비트를 배타적 논리합하고, 제5 비트와 제9 비트를 배타적 논리합하고, 제6 비트와 제10 비트를 배타적 논리합하고, 제7 비트와 제11 비트를 배타적 논리합하고, 제8 비트와 제12 비트를 배타적 논리합하고, 제9 비트와 제13 비트를 배타적 논리합하고, 그리고, 제10 비트와 제14 비트를 배타적 논리합하여, 상기 비트 저장 수단의 상기 제1 내지 제15 비트에 각각 입력하는 것을 특징으로 하는 광 디스크 시스템에서 스크램블링 워드 발생기.

**【청구항 7】**

제 6 항에 있어서,

상기 스크램블링 워드의 상위 8비트들은 상기 쉬프트 레지스터의 상기 제1 내지 제8 비트이며,

상기 스크램블링 워드의 하위 8비트는 각각 상기 제4 비트와 상기 제8 비트의 상기 배타적 논리합, 상기 제5 비트와 상기 제9 비트의 상기 배타적 논리합, 상기 제6 비트와 상기 제10 비트의 상기 배타적 논리합, 상기 제7 비트와 상기 제11 비트의 상기 배타적 논리합, 상기 제8 비트와 상기 제12 비트의 상기 배타적 논리합, 상기 제9 비트와 상기 제13 비트의 상기 배타적 논리합, 상기 제10 비트와 상기 제14 비트의 상기 배타적 논리합, 그리고, 상기 제11 비트와 상기 제15 비트의 배타적 논리합한 결과인 것을 특징으로 하는 광 디스크 시스템에서 스크램블링 워드 발생기.

#### 【청구항 8】

(a) 소정의 스크램블링 워드를 발생하는 단계; 및  
(b) 스크램블 데이터 또는 디스크램블 데이터를 상기 스크램블링 워드와 배타적 논리합(exclusive OR)하는 단계를 구비하며,  
상기 스크램블링 워드는 16비트로 구성되며, 쉬프트 레지스터를 이용한 병렬 연산을 통해 발생되는 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 방법.

#### 【청구항 9】

제 8 항에 있어서, 상기 쉬프트 레지스터는 15비트 쉬프트 레지스터인 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 방법.

**【청구항 10】**

제 9 항에 있어서, 상기 (a) 단계는

상기 쉬프터 레지스터의 제7 및 제15 비트를 배타적 논리합하고, 제1, 제8 및 제12 비트를 배타적 논리합하고, 제2, 제9 및 제13 비트를 배타적 논리합하고, 제3, 제10 및 제14 비트를 배타적 논리합하고, 제4, 제11 및 제15 비트를 배타적 논리합하고, 제1 비트와 제5 비트를 배타적 논리합하고, 제2 비트와 제6 비트를 배타적 논리합하고, 제3 비트와 제7 비트를 배타적 논리합하고, 제4 비트와 제8 비트를 배타적 논리합하고, 제5 비트와 제9 비트를 배타적 논리합하고, 제6 비트와 제10 비트를 배타적 논리합하고, 제7 비트와 제11 비트를 배타적 논리합하고, 제8 비트와 제12 비트를 배타적 논리합하고, 제9 비트와 제13 비트를 배타적 논리합하고, 그리고, 제10 비트와 제14 비트를 배타적 논리합하여, 상기 제1 내지 제15 비트에 각각 입력하는 단계를 포함하는 것을 특징으로 하는 광 디스크 시스템의 스크램블링/디스크램블링 방법.

**【청구항 11】**

제 10 항에 있어서, 상기 (a) 단계는

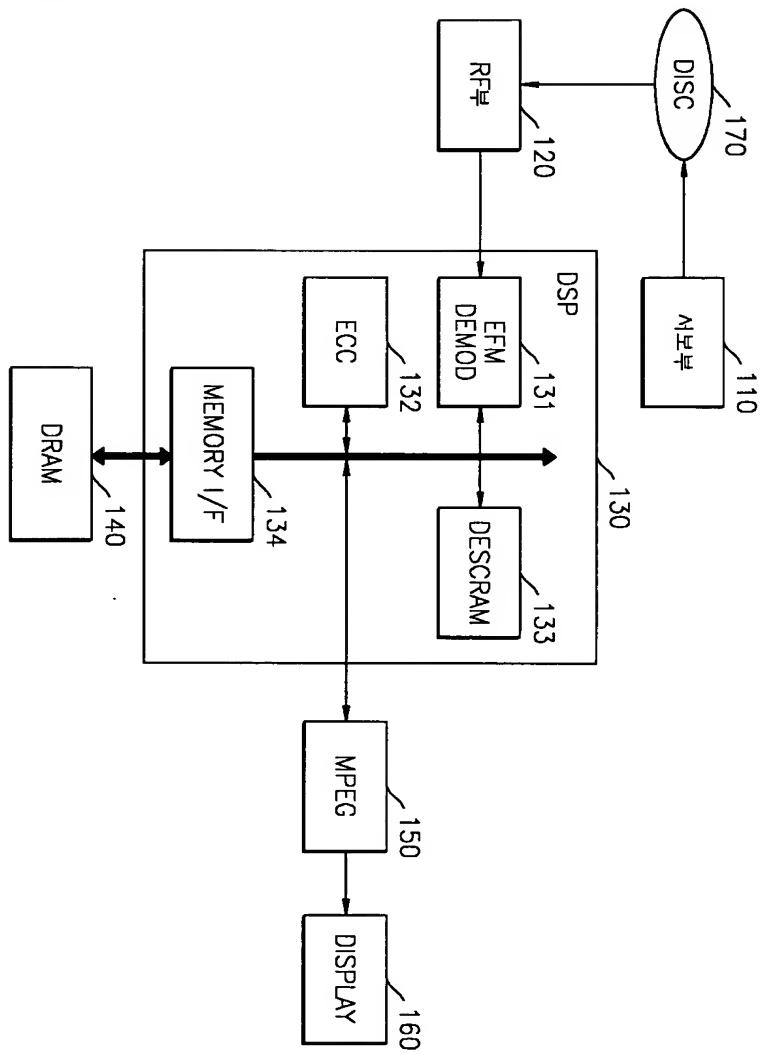
상기 쉬프터 레지스터의 상기 제1 내지 제8 비트를 상기 스크램블링 워드의 상위 8비트로서 발생하는 단계; 및

상기 쉬프터 레지스터의 상기 제4 비트와 상기 제8 비트의 상기 배타적 논리합, 상기 제5 비트와 상기 제9 비트의 상기 배타적 논리합, 상기 제6 비트와 상기 제10 비트의 상기 배타적 논리합, 상기 제7 비트와 상기 제11 비트의 상기 배타적 논리합, 상기 제8 비트와 상기 제12 비트의 상기 배타적 논리합, 상기 제9 비트와 상기 제13 비트의 상기

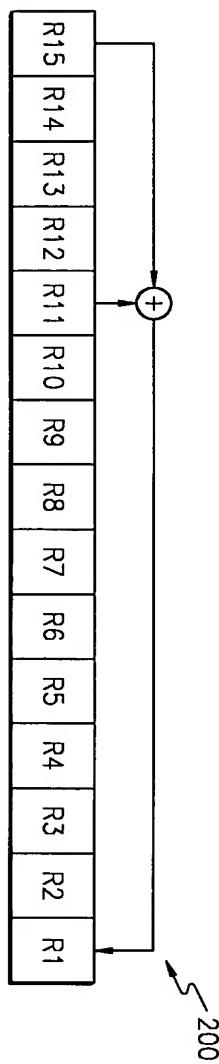
배타적 논리합, 상기 제10 비트와 상기 제14 비트의 상기 배타적 논리합, 그리고, 상기 제11 비트와 상기 제15 비트의 배타적 논리합한 결과를 상기 스크램블링 워드의 하위 8 비트로서 발생하는 단계를 포함하는 것을 특징으로 하는 광 디스크 시스템의 스크램블링 /디스크램블링 방법.

## 【도면】

【도 1】



【도 2】



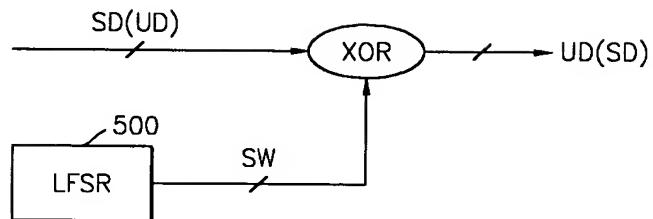
【도 3】

초기 설정값	초기값	초기 설정값	초기값
0H	0001H	8H	0010H
1H	5500H	9H	5000H
2H	0002H	AH	0020H
3H	2A00H	BH	2001H
4H	0004H	CH	0040H
5H	5400H	DH	4002H
6H	0008H	EH	0080H
7H	2800H	FH	0005H

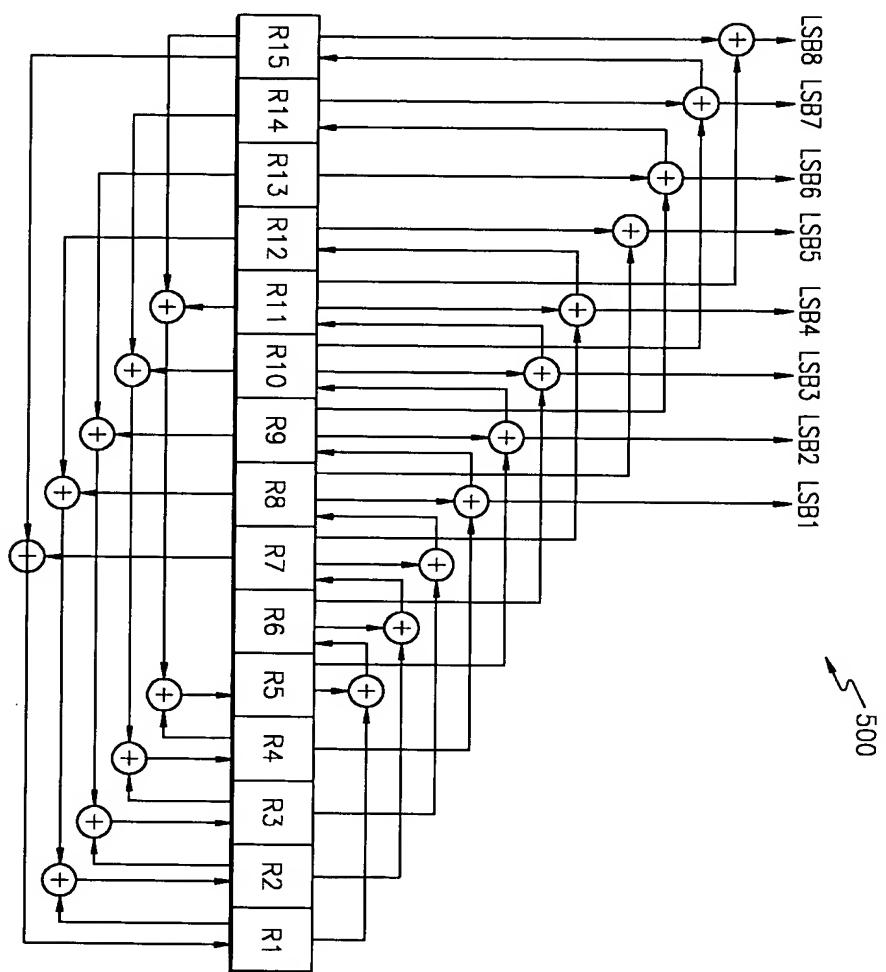
【도 4】

LESR(n)	LFSR(n+1)
R15	R7
R14	R6
R13	R5
R12	R4
R11	R3
R10	R2
R9	R1
R8	R15 $\oplus$ R11
R7	R14 $\oplus$ R10
R6	R13 $\oplus$ R9
R5	R12 $\oplus$ R8
R4	R11 $\oplus$ R7
R3	R10 $\oplus$ R6
R2	R9 $\oplus$ R5
R1	R8 $\oplus$ R4

【도 5】



【도 6】



## 【도 7】

LESR( $n$ )	LFSR( $n+1$ )	USB	LSB
R15	$R14 \oplus R10$		
R14	$R13 \oplus R9$		
R13	$R12 \oplus R8$		
R12	$R11 \oplus R7$		
R11	$R10 \oplus R6$		
R10	$R9 \oplus R5$		
R9	$R8 \oplus R4$		
R8	$R7 \oplus R3$	$R7 \oplus R3$	$R15 \oplus R11$
R7	$R6 \oplus R2$	$R6 \oplus R2$	$R14 \oplus R10$
R6	$R5 \oplus R1$	$R5 \oplus R1$	$R13 \oplus R9$
R5	$R15 \oplus R11 \oplus R4$	$R15 \oplus R11 \oplus R4$	$R12 \oplus R8$
R4	$R14 \oplus R10 \oplus R3$	$R14 \oplus R10 \oplus R3$	$R11 \oplus R7$
R3	$R13 \oplus R9 \oplus R2$	$R13 \oplus R9 \oplus R2$	$R10 \oplus R6$
R2	$R12 \oplus R8 \oplus R1$	$R12 \oplus R8 \oplus R1$	$R9 \oplus R5$
R1	$R15 \oplus R7$	$R15 \oplus R7$	$R8 \oplus R4$